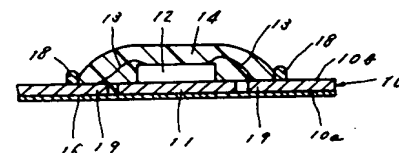
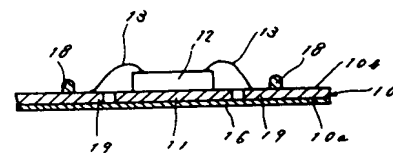
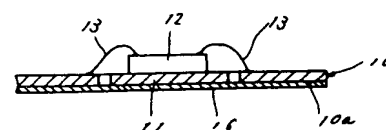


(54) THIN SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(11) 56-36145 (A) (43) 9.4.1981 (19) JP
 (21) Appl. No. 54-110418 (22) 31.8.1979
 (71) HITACHI SEISAKUSHO K.K. (72) HAJIME MURAKAMI(1)
 (51) Int. Cl.³ H01L23/28, H01L21/56, H01L23/48



PURPOSE: To obtain the thin semiconductor integrated circuit in which there is no resin void and a wire is not exposed by a method wherein a pellet is sealed with an insulating resin body formed only at the pellet side of a lead frame by means of potting.

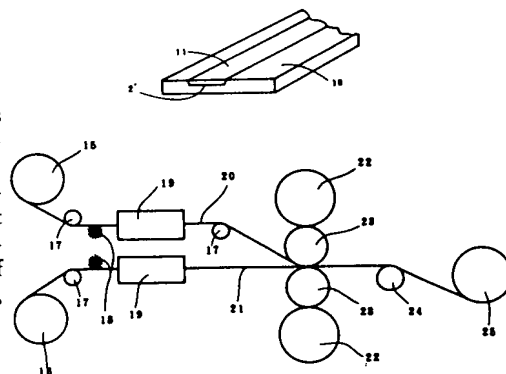
CONSTITUTION: A heat resisting tape 16 is pasted on a back surface of a lead frame 10. A dam 18 is formed around a pellet 12 of a surface 10a at the pellet side of the lead frame 10 with silicon grease, etc. The dam 18 is formed in a frame shape so as to limit the circumference of an insulating resin body to ensure that it is made up not only on an upper surface of an inner lead 19 of the lead frame 10 but also on an upper surface of the pasted tape 16. Insulating resin such as resin is potted in the dam 18, the insulating resin body 14 is formed, and the pellet 12 is sealed. Thus, the thickness of the semiconductor device is decreased, and trouble, such as resin voids, the exposure of a wire, etc. can be prevented.

(54) MANUFACTURE OF CLAD MATERIAL

(11) 56-36146 (A) (43) 9.4.1981 (19) JP
 (21) Appl. No. 54-110462 (22) 31.8.1979
 (71) DAIDO TOKUSHUKO K.K. (72) TERUO WATANABE(2)
 (51) Int. Cl.³ H01L23/48

PURPOSE: To prevent the faulty swelling of a clad material for a lead frame and obtain high yield by a method wherein a brazing material of Ag or an Ag alloy is rolled and pressure-welded on an IC lead frame substrate, and annealed at a specified temperature.

CONSTITUTION: The brazing material 11 of Ag or an Ag alloy is rolled and pressure-welded on the IC lead frame substrate 10, and annealed at a temperature not more than 500°C. For example, the IC lead frame substrate 21 in 42Ni and a brazing material sheet 20 in an Ag-Cu alloy are rolled and pressure-welded by means of a device shown in the figure at the normal temperature and at 30% rolling rate, and diffused and annealed at 400°C, and the clad material is obtained.

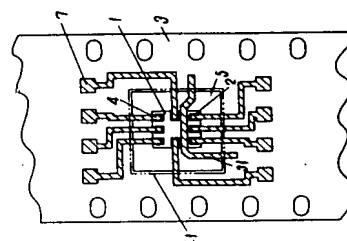
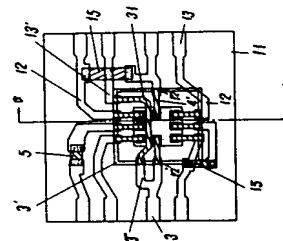


(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(11) 56-36147 (A) (43) 9.4.1981 (19) JP
 (21) Appl. No. 54-111894 (22) 31.8.1979
 (71) MATSUSHITA DENKI SANGYO K.K. (72) KENZOU HATADA(1)
 (51) Int. Cl.³ H01L23/50

PURPOSE: To facilitate the formation of crossover wiring by a method wherein a lead electrode is made up which crosses an opened hole portion of a film of a film carrier to one side of the opened hole portion from the other side.

CONSTITUTION: A continuous Cu lead terminal 31 is formed crossing an opened hole portion 5 of a semiconductor element placing portion of a tape film 3 except Cu lead terminals 4. A semiconductor element 1 is placed on the opened hole portion 5 of the tape film 3, and the semiconductor element 1 and the Cu lead are connected mechanically and electrically. The film tape is cut, and mounted onto a ceramic substrate 11. A fixed electric circuit is constituted in such a manner that a Cu lead terminal 4' is connected to a wiring pattern 12' printed on the ceramic substrate 11, the Cu lead terminal 31 is connected to wiring patterns 13' and 13'', and crossover wiring is formed. Thus, crossover wiring can be made up easily without using multilayer wiring, etc.



完成は2~3週間かかります。

⑩ 日本国特許庁 (J P)

⑪ 特許出願公告

⑫ 特 許 公 報 (B 2)

昭63-18335

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公告 昭和63年(1988)4月18日

H 01 L 23/50

X-7735-5F

登録済

発明の数 2 (全7頁)

⑮ 発明の名称 半導体装置およびその製造方法

審 判 昭59-13861

⑯ 特 願 昭54-111894

⑰ 公 開 昭56-36147

⑱ 出 願 昭54(1979)8月31日

⑲ 昭56(1981)4月9日

⑳ 発 明 者 畑 田 賢 造 大阪府門真市大字門真1006番地 松下電器産業株式会社内

㉑ 発 明 者 梶 原 孝 生 大阪府門真市大字門真1006番地 松下電器産業株式会社内

㉒ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

㉓ 代 理 人 弁理士 中尾 敏男 外1名

審判の合議体 審判長 金 平 隆 審判官 渋谷 孝 審判官 内藤 二郎

㉔ 参考文献 実開 昭53-51180 (J P, U)

1

① 特許請求の範囲

1 半導体素子を載置するためのフィルムの開孔部に突出したリード電極と、前記開孔部に載置された前記半導体素子上に形成され前記開孔部の一辺から他辺へ延在するリード電極とを有することを特徴とする半導体装置。

2 開孔部の一辺から他辺へ延在するリード電極の一部が半導体素子上の金属突起物と接続される事を特徴とする特許請求の範囲第1項に記載の半導体装置。

3 半導体素子を載置するためのフィルムに開孔部を設けるとともに、このフィルム上に前記開孔部に突出したリード電極と、前記開孔部に載置される前記半導体素子上に位置して前記開孔部の一辺から他辺へ延在するリード電極を形成する工程と、前記開孔部に前記半導体素子を載置する工程を有することを特徴とする半導体装置の製造方法。

発明の詳細な説明

本発明は半導体装置およびその製造方法に関し、特に、半導体素子上の電極上に形成した金属突起物と、フィルムキャリア上にこれと対応した位置のビーム状のリード電極とを同時にボンディングを行なう、いわゆるフィルムキャリア実装方式において、クロスオーバー配線用のリード電極を有したフィルムキャリアを用いた半導体装置を提供するものである。

2

従来半導体素子上の電極と外部回路と接続される端子とを電気的に接続する手段として最も一般的であるが、25~37 μ mのAu又はAl線によつて、熱圧着法、超音波法等によつて行なういわゆるワイヤボンディング法が知られている。

この様な方法は半導体素子上の電極と外部回路と接続される端子とを一本づつワイヤボンディングしなければならない。このため、前記電極数が増加するに従がい、ワイヤボンディングのための作業時間が著しく増加したり、あるいは特別な形状を有した回路基板に前記半導体素子を載置してワイヤボンディングする場合は、回路基板の形状が複雑になつたり、回路基板上に多数個の半導体素子を載置するにしたがい、ワイヤボンディングの作業能率は低下し、更にボンディングの信頼性も低下するものであつた。

この様な欠点を一掃するために、半導体素子上の電極に一度に全部のリード電極を形成させるワイヤレス技術があり、この中でも特に本発明でも説明するフィルムキャリア実装法は最近、特にその作業性、信頼性等の優秀さから注目をあびてきている。

フィルムキャリア実装法は先ず、ウェハー段階で前記半導体素子上の電極上に真空蒸着法によりCr膜を1000Å、Cu膜を5000Å被着せしめ、次いで電気メッキ法により、Au、Cu等の材料を10~30 μ m厚さに堆積せしめていわゆる金属突起物を

3

形成する。一方、ポリイミド樹脂からなるフィルムに35 μ m厚さのCu箔を貼りつけ、前記半導体素子上の金属突起物と合致する位置に、フォトエッチング法によりCuパターンによるリード電極を形成し、最後に前記Cuリード電極にSnメッキを行なえば、連続したフィルムキャリヤが出来上る。

こうしたのち、半導体素子上の金属突起物とCuリード電極とを第1図のごとく接続する。半導体素子1上の金属突起物2とフィルムキャリヤ3上に形成されSnメッキしたCuリード電極4とを位置合せし、Cuリード電極4上から、例えば、温度450℃、加圧力20g/電極を作用させれば、金属突起物2とCuリード電極4とは共晶を起こし、機械的、電氣的に接続される。ここで金属突起物2がAuであれば、Cuリード電極4はSnメッキされているから約280℃位でAu-Snの合金を形成して接着される事になる。

第1図においてフィルムキャリヤ3の孔5は半導体素子1を設置するための開孔部であり、孔6はフィルムキャリヤ3は数十mの長さ及びものであるから、このフィルムキャリヤ3を正確に巻き取りあるいは送るための開孔部である。更にCuリード電極で7の巾広い部分は、第1図の如く半導体素子1がCuリード電極4と同時に接続された後、電氣的検査を行なうための触針用端子部である。

次に第1図の如く接続が終れば、Cuリード電極4は孔5の端で切断される。

第2図はセラミック基板11上に印刷配線パターン12があり、この基板11上に他の部品とともに素子1を装着した状態を示す。印刷配線パターン12の端部がセラミック基板11の周縁で巾広くなっているのは、他の回路と半田づけを行なうための端子13である。更に15は例えばチップ状の抵抗、コンデンサ等であつて、セラミック基板上11に半田づけされる。第1図で説明したごとく孔5の端部でCuリード電極4'と接続された半導体素子1は、前記セラミック基板11上の印刷配線パターン12'と切断されたCuリード電極4'とを位置合せし、これも又、全部のリード電極を同時に半田又はAu-Sn等の合金化により接続する。第2図の如くCuリード電極4'をもつ半導体素子1をセラミック基板11に載置する事

4

によりセラミック基板は、ひとつの回路機能を有するものとなる。

ところが、この様な回路構成において、印刷配線パターン13'と、前記印刷配線パターン13'とは半導体素子1に対して反対側にある印刷配線パターン13''とを点線の如く接続する場合、セラミック基板11の印刷配線パターンの回路構成では困難である。このような接続は多層印刷配線とスルーホールによつて実現する事も出来るが、この場合は前記セラミック基板11の製造コストが著るしく高値になる。第3図は前記第2図のセラミック基板を図示したA-A'の部分の断面図を示すものである。

第3図aに示す様に半導体素子1は放熱を必要とするときセラミック基板11上に導電性接着剤21で固定され、そうでない場合はbのごとくセラミック基板11の開孔部22に半導体素子1が設置される。すなわち、第3図から明らかなごとく印刷配線パターン13'と13''との接続は容易でない。

本発明は、従来困難であつたクロスオーバーの配線の問題をフィルムキャリヤを用いて著るしく容易に解決せんとするものである。第4図で本発明の一実施例を説明する。

第4図aにおいて、半導体素子1上の金属突起物と接続するためのCuリード電極4以外に前記フィルムキャリヤ3の半導体素子載置部の開孔部5の一边から他辺へ延在し、連続したCuリード電極31を形成する。

次にフィルムキャリヤ3の開孔部5に半導体素子1を設置し、半導体素子1上の金属突起物2と前記Cuリード端子4とを位置合せし、例えば温度450℃で、加圧力20g/電極を加えれば、金属突起物(金属突起物をAuとする。)2とCuリード電極(Cu部分に0.4 μ m程度のSnメッキが施こされている。)4とはAu-Snの共晶を起こし、機械的、電氣的に接続される(第4図b)。この状態にいては、Cuリード電極31は半導体素子1とは接しておらず、開孔部5の周縁のフィルムキャリヤ部に固定されている。

次に二点鎖線で示した位置41よりフィルムキャリヤ3を含めて切断する。第4図cはフィルムキャリヤ3'を残して切断した状態を示す。切断されたフィルムキャリヤ3'は半導体素子1を囲

む様構成され、全てのCuリード電極4'、31が前記フィルムキャリア3'に固定された構造となる。切断されたフィルムキャリア3'は主に開孔部5の一辺から他辺へ延在したCuリード電極31を固定する役目を行なう他、他のCuリード電極4'の先端が機械的な衝撃によつて曲がつたり折れたりする事を防止する役目も行なうものである。

次に第4図cの如く切断された状態のフィルムキャリアと半導体素子はたとえば第4図dのごとくセラミック基板11上に実装される。Cuリード電極4'はセラミック基板11上に印刷された配線パターン12'と、更にCuリード電極31は配線パターン13'と13''とに接続され、クロスオーバー配線となり所定の電気回路を構成するものである。Cuリード電極と配線パターンとの接続は例えばCuリード電極にSnメツキされており配線パターン半田メツキで構成されておれば、Cuリード電極と配線パターンとを位置合せしCuリード電極を押えながら300℃程度に加熱する事により可能である。なお、Cuリード電極4'と印刷配線パターン12'は第4図eの如く45の位置で半田づけされる。

たとえば、半導体素子1は導電性接着剤21によつてセラミック基板11上に接着され、金属突起物2に例えばAu-Snの共晶によつて接続されたCuリード電極4'は印刷配線12'と位置合わせし、加圧加熱する事により45の部分半田づけされる。また、切断されたフィルムキャリア3'は図の如く印刷配線パターン上に来る事になる。

他の実施例を第5図で説明する。使用するフィルムキャリア3は前述した実施例と同一のものであるが、半導体素子上に金属突起物32を設け、前述した方法によりCuリード電極4、31を接

続すれば第5図aの状態を得る。すなわちCuリード電極31は半導体素子1上の金属突起物32によつて固定される事になる。この状態で2点鎖点35の位置で切断すれば第5図bの状態を得る。この実施例においては開孔部の一辺から他辺へ延在したCuリード電極31は金属突起物32で固定されるので第4図cの実施例の如くのフィルムキャリア3'は必要としない。

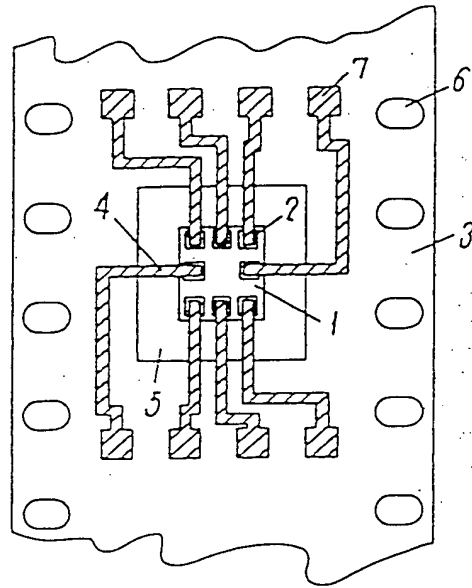
この様に本発明は、セラミック基板11の印刷配線パターンにスルーホールや多層印刷等の複雑な処理を施す必要もなく、半導体素子1の接続時に著しく容易にクロスオーバー配線を実施出来る。又、前記開口部の一辺から他辺へ延在したCuリード電極31は他のCuリード電極4の形成時に同時に形成出来、新たに別の工程を準備することなくクロスオーバー配線の形成ができる等の効果を有するものである。したがつて複雑な配線処理する場合、容易に本発明の方法を用いる事が出来、安価な実装を提供することが出来、半導体装置の実装に大きく寄与するものである。

図面の簡単な説明

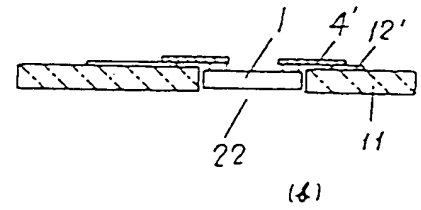
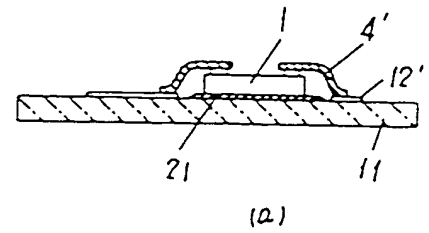
第1図は従来のフィルムキャリアの要部平面図、第2図は従来のフィルムキャリアを実装したセラミック基板への平面図、第3図a、bは第2図のA-A'線のセラミック基板の断面図、第4図a～dは本発明の一実施例のフィルムキャリア半導体装置の製造工程図、第4図eは第4図dのB-B'線の部分断面図、第5図a、bは本発明の他の実施例の方法の工程平面図である。

1……半導体素子、2……金属突起物、4、4'……Cuリード電極、5……開孔部、11……セラミック基板、12'、13'、13''……配線パターン。

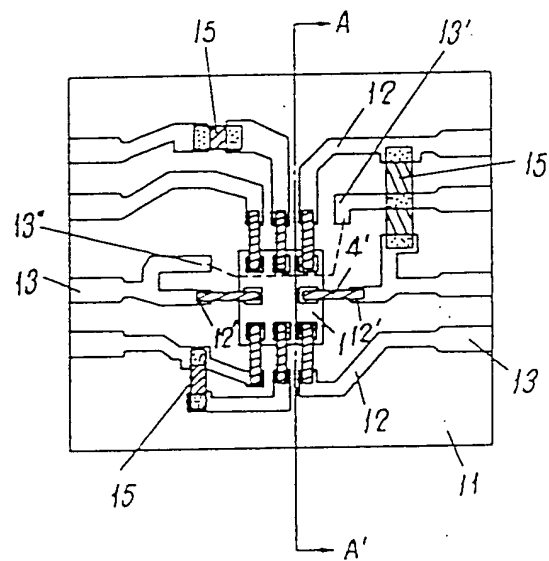
第1図



第3図

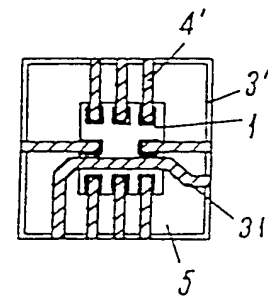


第2図



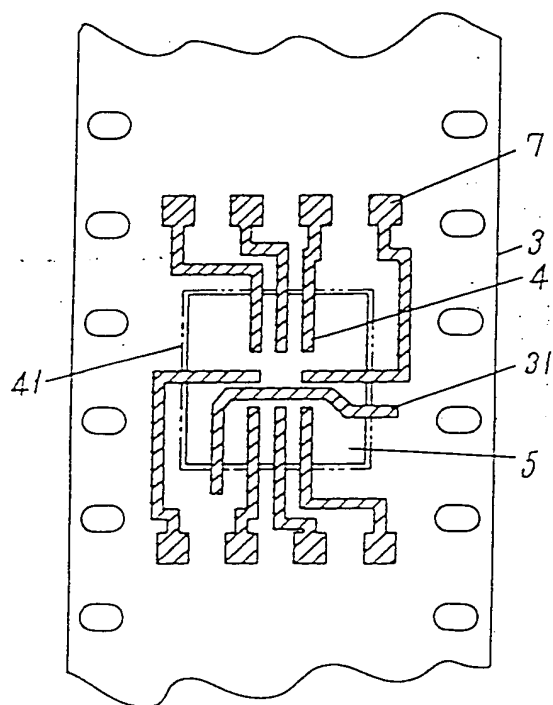
第4図

(c)



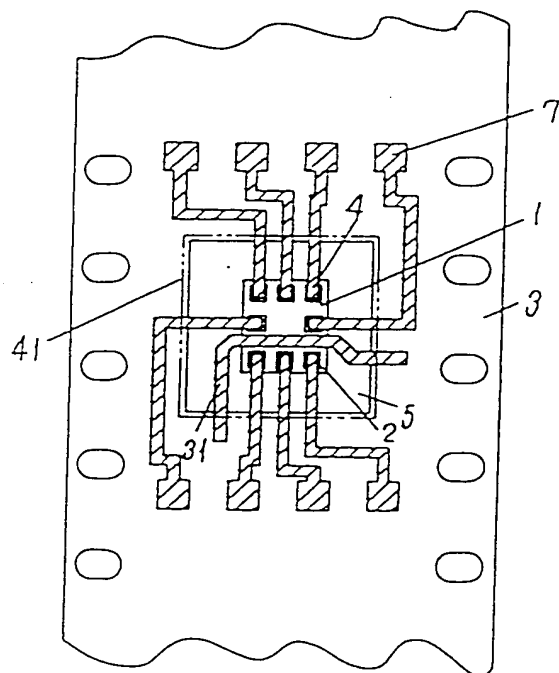
第4図

(a)



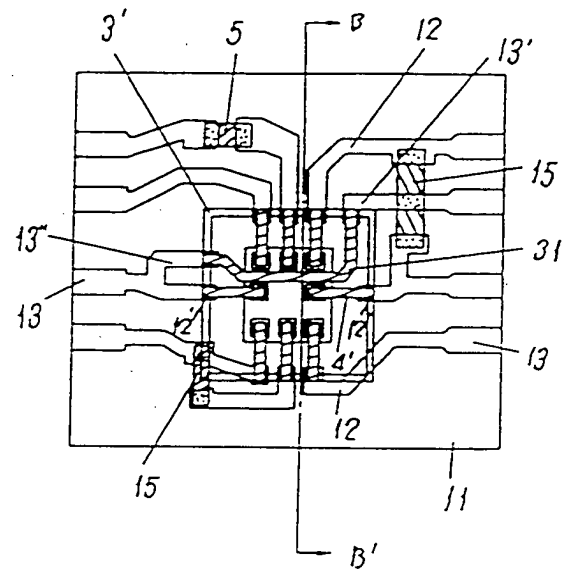
第4図

(b)



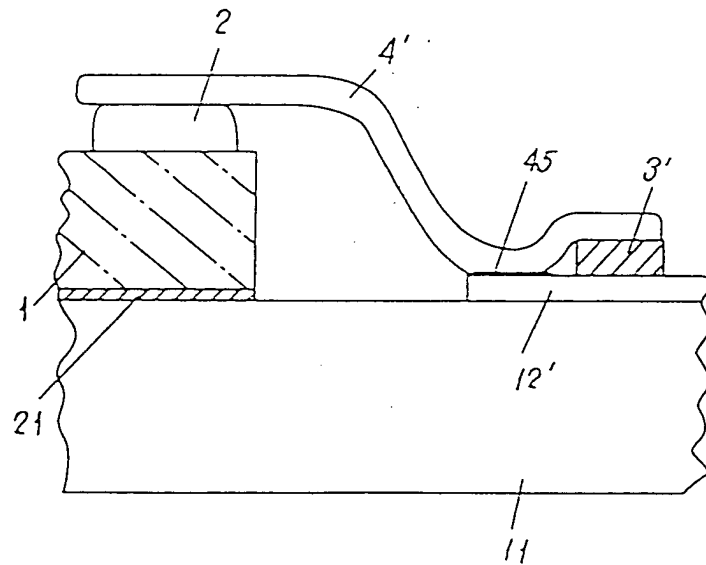
第4図

(d)



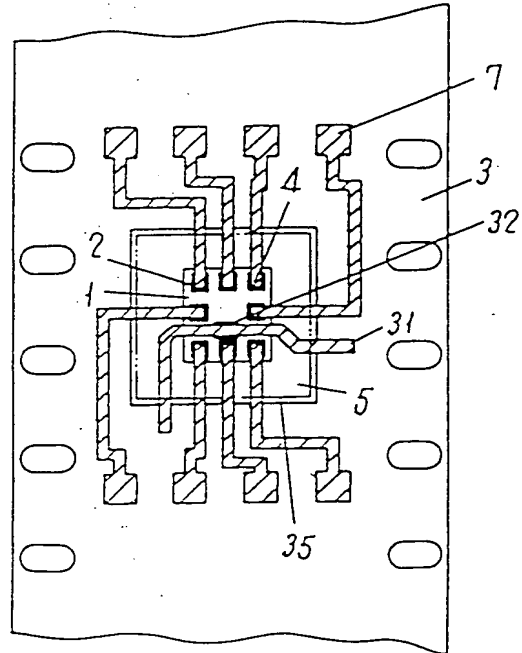
第4図

(e)



第5図

(a)



(b)

